

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-153979

(43)Date of publication of application : 09.06.1998

(51)Int.Cl.

G09G 3/22
H01J 31/12

(21)Application number : 08-314505

(71)Applicant : HITACHI LTD

(22)Date of filing : 26.11.1996

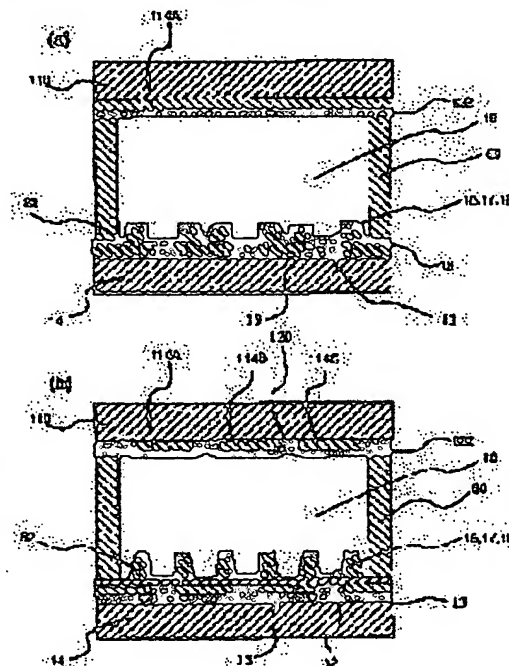
(72)Inventor : SUZUKI MUTSUZOU
KUSUNOKI TOSHIKI

(54) DISPLAY DEVICE AND APERTURE FOR APPLICATION OF ELECTRON BEAM

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a matrix type electron beam excitation type display device of a high contrast having a many number of scanning lines by using thin film type electron sources as electron releasing elements and making the voltages impressed on the electron releasing elements by pulses smaller than the work function on the surfaces of the thin film type electron sources.

SOLUTION: The matrix consisting of the thin film type electron sources laminated with lower electrodes 13, insulating layers 12 and upper electrodes 16 to 18 in this order as constituting elements is formed. The matrix is driven in the constitution of scanning pulses and the data pulses based on image signals. The impressed voltages V_d on the thin film type electron sources at the point of the time the scanning pulses are not impressed are made smaller than the work function of the upper electrode surface layer films 18. If, for example, Al is used for the upper electrodes 13, Al_2O_3 for the insulating layers 12, Ir as the upper electrode boundary layer films 16, Pt as the intermediate layer films 17 and Au as the surface layer films 18, the work function of the Au is $\phi = 4.8V$ and, therefore, the impressed voltage is merely necessitated to be set at $V_d < 4.8V$.



LEGAL STATUS

[Date of request for examination]

13.04.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-153979

(43) 公開日 平成10年(1998) 6月9日

(51) Int.Cl.⁸

G 0 9 G 3/22

H 0 1 J 31/12

識別記号

F I

G 0 9 G 3/22

H 0 1 J 31/12

C

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21) 出願番号 特願平8-314505

(22) 出願日 平成8年(1996)11月26日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 鈴木 睦三

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 楠 敏明

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 小川 勝男

(54) 【発明の名称】 表示装置および電子線応用機器

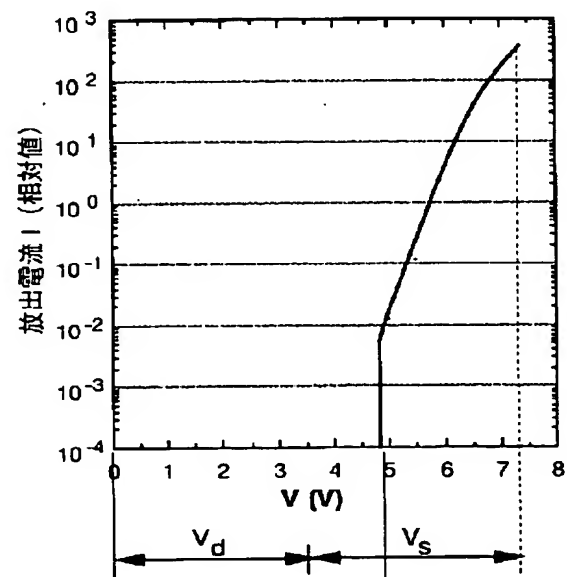
(57) 【要約】

【課題】マトリクス状に配置した電子放出素子と用いた平面型表示素子および電子線応用機器において高いコントラスト比を実現する。

【解決手段】電子放出素子として、MIM型またはMIS型の薄膜電子源を用いて、走査パルスが印加されない非選択期間での薄膜電子源への印加電圧を、電子源表面の仕事関数よりも小さくすることにより、非選択期間での放出電流量をゼロに抑える。

【効果】走査線数が増加してもコントラストが低下しない。

図1



【特許請求の範囲】

【請求項1】下部電極、絶縁層、上部電極をこの順に積層した薄膜型電子源を構成要素とするマトリクスを形成した基板と、蛍光体と加速電極とを具備した面板とから構成される表示パネルと、走査パルスと、画像信号に基づいたデータパルスとの組み合わせで前記薄膜型電子源マトリクスを駆動する駆動回路を有する表示装置において、前記走査パルスが印加されていない時点での前記薄膜型電子源への印加電圧は前記上部電極の仕事関数よりも小さいことを特徴とする表示装置。

【請求項2】前記データパルスの電圧値は前記上部電極の仕事関数よりも小さいことを特徴とする請求項1に記載の表示装置。

【請求項3】前記データパルス電圧値を映像信号に応じて変調する場合、前記電圧値の最大値は前記上部電極の仕事関数より小さいことを特徴とする請求項1に記載の表示装置。

【請求項4】前記データパルス電圧値を映像信号に応じて変調する場合、前記電圧値のうち、前記上部電極の仕事関数を越えるものの時間割合は2割以下であることを特徴とする請求項1に記載の表示装置。

【請求項5】下部電極、絶縁層、上部電極をこの順に積層した薄膜型電子源をマトリクス状に配列した薄膜型電子源マトリクスと、走査パルスと、画像信号に基づいたデータパルスとの組み合わせで前記薄膜型電子源マトリクスを駆動する駆動回路を有する電子線応用機器において、前記走査パルスが印加されていない時点での前記薄膜型電子源への印加電圧は前記上部電極の仕事関数よりも小さいことを特徴とする電子線応用機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マトリクス状に配置した電子放出素子を用いた表示装置および電子線応用機器に関する。

【0002】互いに直交する電極群の各交点に電子放出素子を形成した電子放出素子アレイを用いた表示装置として、例えば、電子放出素子として電界放射電子源アレイ(Field-Emitter Array)を用いた電界放射ディスプレイ(Field Emission Display, FED)が、例えばThe 10th International Display Research Conference, Proceedings, 374頁〜377頁(1990年, vde-verlage)に報告されている。これは電子放出素子(電界放射電子源アレイ)をマトリクス状に配置した基板と、電子線照射により発光する蛍光体と電子線を加速するための加速電極を有する面板と、駆動回路とから構成される。駆動回路により適当な電圧波形をMIM型電子源に印加することにより、所望の位置のMIM電子源のみから電子を放出させ、その放出電子が面板上の蛍光体を発光させて画像を表示する。

【0003】このような表示装置は、陰極線管(CR

T)のような電子線偏向レンズ系が不要なので平板型ディスプレイが実現でき、さらに自発光型の素子であるためにCRT並の優れた表示画質を実現できるという特徴を持っている。

05 【0004】

【発明が解決しようとする課題】マトリクス状に配置された電子放出素子のうち、所望の電子源のみから電子を放出されるには、いわゆる線順次駆動法を用いる。例えば、基板上の行方向の信号線を各電子放出素子の第1電極(前記公知例の場合はゲート電極)に接続し、列方向の信号線を第2電極(前記公知例の場合はカソード電極)に接続した場合を考える。電子放出素子への印加電圧、すなわち第1電極-第2電極間の電圧をVとしたときの電子放出素子からの放出電流をI(V)とする。

15 【0005】線順次駆動法の基本動作原理は以下の通りである。行方向の各信号線に順次、電圧振幅Vsなる走査パルスを印加し、列方向の各信号線に電圧振幅-Vdなるデータパルスを印加する。すると、走査パルスとデータパルスが同時に印加された電子放出素子からはI(Vs+Vd)なる電流が放出され、走査パルスのみが印加された電子放出素子からはI(Vs)、データパルスのみが印加された電子放出素子からはI(Vd)なる電流が放出される。I(Vs+Vd)がI(Vs)、I(Vd)よりも十分大きければ、実質的に交点の電子放出素子のみから電子が放出される(すなわち、画素が発光する)ことになる。

【0006】この場合のコントラストを計算する。走査線の本数をN本とする。蛍光体の発光輝度は放出電流量のα倍とすると、ある画素を点灯したときの輝度はαI(Vs+Vd)である。また、その画素を点灯させなかった場合でも、その列に点灯した画素がn個ある場合には、電圧Vdがn回、Vsが1回印加されるから、α{nI(Vd)+I(Vs)}の輝度になる。したがって、コントラストβは最悪の場合、

35
$$\beta = I(Vs+Vd) / \{ (N-1) I(Vd) + I(Vs) \}$$
となる。したがって、ディスプレイとして典型的なN=480本の場合には、 $I(Vs+Vd) / I(Vd) = 1.04$ であっても、コントラストβ=2.0となってしまう。

40 【0007】このように走査線数Nの増加とともにコントラストが低下するのが、線順次駆動法の欠点である。この問題を回避するために、例えば前記公知例では、走査パルスの電圧をVs'=Vs+Vdとし、データパルスをVd'=Vdとしている。すなわち、点灯させたくない画素に対応する電子放出素子にはVd'=Vdを印加し、点灯させたい画素にはVd'=0とする。電界放射電子源では、逆極性の電圧を印加しても全く電子は出ないから、この方法により線順次駆動法によるコントラストの低下は起こらない。ただし、この方法では、走査パルス

の電圧振幅が $V_s + V_d$ と大きくなってしまいますので、走査パルスの駆動回路の負担が大きくなるという問題がある。

【0008】上記の問題は、表示装置に限らず電子放出素子をマトリクス状に配置した電子源マトリクスを用いた機器に共通する問題である。例えば、電子源マトリクスを用いた電子線露光装置が特開平6-236840に記されているが、電子線露光装置では非選択の電子源からわずかながらの電子が放出されると、望まない部分が露光されてしまうことになり、大きな問題となる。

【0009】

【課題を解決するための手段】本発明では、電子放出素子として薄膜型電子源を用い、かつデータパルスにより電子放出素子に印加される電圧を、薄膜型電子源の表面の仕事関数よりも小さくすることにより、上記のコントラスト低下の問題を解決した。

【0010】薄膜型電子源は、下部電極、絶縁層、上部電極をこの順に積層した構造をもつ。下部電極-上部電極間に、上部電極が正電圧となる電圧 V を印加したときの電子エネルギー図を図2に示した。絶縁層に10MV/cm程度の電界が印加されると、トンネル現象により下部電極内の電子が絶縁層の伝導帯に流れ込み、電界により加速される。この電子は絶縁層中や上部電極中で非弾性散乱等にエネルギーを失うが、上部電極-真空界面において仕事関数 ϕ 以上のエネルギーを持ったものは真空中に放出される。これが放出電流 $I(V)$ である。図2のエネルギー図からわかるように、印加電圧 V が表面の仕事関数 ϕ 以下の場合には、 ϕ 以上のエネルギーを有する電子はないので、 $I(V) = 0$ である。したがって、走査パルスの非印加期間に上部電極-下部電極間に印加される電圧を仕事関数 ϕ 以下とすれば、走査線数 N が増えてもコントラストは低下しない。

【0011】このように本発明は、薄膜型電子源の特性を利用してコントラストの向上を図るものである。本方法によれば、走査パルスの電圧振幅も最小限で済み、また、パルス数が多く消費電力への影響も大きいデータパルスの電圧振幅も小さくなるので好ましい。

【0012】本発明を用いるには、薄膜型電子源への印加電圧 V を ϕ 程度変化させただけで、 $I(V)$ が十分変化しなければならない。これは薄膜電子源の絶縁層膜厚を薄くすれば達成できる。図1に、下部電極に Al 、絶縁層に膜厚5.5nmの Al_2O_3 、上部電極に Au を用いた薄膜電子源の $I(V) - V$ 特性を示す。 Au の仕事関数 $\phi = 4.8\text{eV}$ であるから、この場合、 $V_d < 4.8\text{V}$ とすればよい。図1からわかるように、 V を2V変化させるだけで、 $I(V)$ は4桁変化しており、上記の条件を満たしている。なお、走査電圧 V_s も ϕ より小さく設定するとコントラストの点でなお好ましい。

【0013】上記の記述からわかるように、本発明によれば、走査パルスとデータパルスとで選択された電子源

のみから電子が放出されるので、先に述べた電子線露光装置など、表示装置以外にも有効である。

【0014】

【発明の実施の形態】以下、本発明の実施の形態を図を用いて説明する。

【0015】第1の実施例は、電子放出素子として薄膜型電子源(MIM型電子源)を用いたものである。図3、図4、図5、図6を用いて本実施例を説明する。図4は表示パネルを面板側から見た平面図、図5は基板14を面板側から見た平面図である。図4、図5中のA-B間の断面図が図3(a)であり、C-D間の左半分の断面図が図3(b)である。

【0016】まず、基板上に形成する薄膜電子源の作成方法を述べる。図6は基板14上に薄膜型電子源を作製するプロセスを示したものである。右の列が平面図で、A-B間での断面図を左の列に示してある。図6では1個の素子しか描いてないが、実際には、図3、図5のようにマトリクス状に配置されている。

【0017】ガラスなどの絶縁性基板14上に、下部電極13作成用の薄膜として、 Al を例えば、300nmの膜厚で形成する。この Al 膜の形成には、例えば、スパッタリング法や抵抗加熱蒸着法、MBE法(分子線エピタキシー法)などを用いる。次に、この Al 膜を、フォトリソグラフィによるレジスト形成と、それに続くエッチングとによりストライプ状に加工し下部電極13を形成する。ここで用いるレジストはエッチングに適したものであればよく、また、エッチングもウェットエッチング、ドライエッチングのいずれも可能である。この下部電極13の表面を陽極酸化して膜厚5~10nm程度の絶縁層12を形成する。本実施例では化成電圧を4Vに設定し、絶縁層膜厚5.5nmとした。これが、図6(a)の状態である。

【0018】次に、レジスト501を塗布して紫外線で露光してパターンニングし、図6(b)のパターンを形成する。レジスト501には例えば、キノンジアザイド系のポジ型レジストを用いる。レジスト501を付けたまま、再度陽極酸化を行い、保護層15を形成する。この2回目の陽極酸化は、化成電圧50V程度とし、保護層15の膜厚を70nm程度とする。これが、図6(c)の状態である。

【0019】レジスト501をアセトンなどの有機溶媒で剥離した後、レジスト502を図6(d)のパターンで塗布・形成する。次に、上部電極バスライン32となる金属膜を、基板14の全面に成膜する。この上部電極バスライン32となる金属膜は、 Mo など、基板14との接着性に優れた金属を下層とし、 Au など電気伝導性に富み、かつ酸化されにくい金属を上層とする積層膜構成とし、スパッタリング法や蒸着法などで連続成膜するのが望ましい。下層の材料としては、上記 Mo の他に、 Cr や Ta 、 W 、 Nb など絶縁性基板との接着性がよい他の金属でも

よい。また、上層の材料には、上記Auの他、Pt, Ir, Rh, Ruなどが使用可能である。これらの金属を用いることにより後で形成する上部電極16との電氣的接触を確保できる。なお、上記上部電極バスライン32を形成する金属膜の膜厚は、配線抵抗の要求仕様により適宜選択する。本実施例では、Mo膜を30nm, Au膜を100 nmとした。続いて、アセトンなどの有機溶媒でレジスト502をリフトオフすることにより、図6 (e) の形を得る。

【0020】続いて、レジスト503を塗布して、図6 (f) のパターンにパターン化する。この状態で、化成液に浸して陽極酸化を行う。化成電圧は絶縁層12を形成した際と同じ電圧にする。本実施例の場合、4Vである。絶縁層12はこれまでに何回か行ったレジストパターンニング・プロセスにおいて、現像液などの薬品により、多少のダメージを受けている。そこで、上部電極を成膜する前に、このように絶縁層12を再度陽極酸化することにより、ダメージの修復ができる。このあと、上部電極界面層膜16、上部電極中間層膜17、上部電極表面層膜18の順に成膜する。これらの成膜にはスパッタリング法などを用い、各層は真空を破ることなく連続的に成膜するのが望ましい。本実施例では、上部電極界面層膜16として膜厚1nmのIr、上部電極中間層膜17として膜厚2nmのPt、上部電極表面層膜18として膜厚3nmのAuを用いた。また、本実施例のように、印加電圧を上部電極に供給する専用のバスライン32があり、上部電極面積が小さい場合には、上部電極表面層膜18を除き、例えば膜厚1nmのIrで構成した上部電極界面層膜16と膜厚2nmのPtで構成した上部電極中間層膜17の2層で上部電極を構成しても良い。このように、絶縁層に接する部分にIrなど昇華エンタルピーの高い材料を用いると、薄膜型電子源を長寿命化できる。

【0021】次いで、アセトンなどの有機溶媒でリフトオフすると、図6 (g) に示した構造の薄膜電子源を得る。以上のプロセスで、基板14上に薄膜電子源が完成する。この薄膜電子源は、レジスト501で規定した領域から電子が放出される。電子放出部の周辺部に厚い絶縁膜である保護層15を形成してあるため、上部電極一下部電極間に印加される電界が下部電極端部に集中しなくなり、長時間にわたって安定な電子放出特性が得られる。

【0022】面板110には透光性のガラスなどを用いる。まず、表示装置のコントラストを上げる目的でブラックマトリクス120を形成する(図3 (b))。ブラックマトリクス120は、図4において蛍光体114間に配置されるが、図4では記載を省略した。

【0023】ブラックマトリクス120は、黒鉛粉末にPVA (ポリビニルアルコール) と重クロム酸アンモニウムとを混合した溶液を面板110に塗布し、ブラックマトリクス120を形成したい部分に紫外線を照射して感光させた後、未感光部分を除去する。

【0024】次に赤色蛍光体114Aを形成する。蛍光体粒子にPVA (ポリビニルアルコール) と重クロム酸アンモニウムとを混合した水溶液を面板110上に塗布した後、蛍光体を形成する部分に紫外線を照射して感光させた後、未感光部分を流水で除去する。このようにして赤色蛍光体114Aをパターン化する。パターンは図4に示したようなストライプ状のパターンにする。このストライプ・パターンは一例であって、それ以外にも、ディスプレイの設計に応じて、例えば、近接する4ドットで1画素を構成させた「RGBG」パターンでももちろん構わない。蛍光体膜厚は、1.4~2層程度になるようにする。同様に、緑色蛍光体114Bと青色蛍光体114Cを形成する。蛍光体としては、例えば赤色に $Y_2O_3:S:Eu$ (P22-R)、緑色に $Zn_2SiO_4:Mn$ 、青色に $ZnS:Ag$ (P22-B) を用いればよい。

【0025】次いで、ニトロセルロースなどの膜でフィルミングした後、面板110全体にAlを、膜厚50~300nm程度蒸着してメタルバック122とする。このメタルバック122が加速電極として働く。その後、面板110を400℃程度に加熱してフィルミング膜やPVAなどの有機物を加熱分解する。このようにして、面板110が完成する。

【0026】このように製作した面板110と基板14とスペーサ60とを封着する。面板110-基板14間の距離は1~3mm程度になるようスペーサの厚さを設定する。面板110と基板14との位置関係は図4に示したとおりである。図5には、基板14上に形成した薄膜電子源のパターンを図4に対応させて示してある。なお、図6 (d) からわかるように、下部電極13の表面は、保護層15で覆われているから、図4、図5において、水平方向の配線は「下部電極13」ではなく、正しくは「保護層15」と書くべきである。ただし、下部電極13と上部電極バスライン32とがマトリクスを構成する、という機能的関係をわかりやすく示すために、図4、図5においては、敢えてこのように記載した。同様に、上部電極バスライン32についても、図4、図5の平面図においては正しくは、上部電極表面層膜18で被覆されているが、同じ主旨で上部電極バスライン32と記載してある。

【0027】スペーサ60の形状は例えば図4のようにする。ここでは、R (赤)、G (緑)、B (青) に発光するドット毎、すなわち上部電極3列ずつにスペーサの支柱を設けているが、機械強度が耐える範囲で、支柱の数 (密度) を減らしてかまわない。スペーサ60の製作は、厚さ1~3mm程度のガラスやセラミックスなどの絶縁板に、例えばサンドブラスト法などで所望の形状の穴を加工する。

【0028】封着したパネルは、 1×10^{-7} Torr程度の真空中に排気して、封止する。このようにして、薄膜電子源を用いた表示パネルが完成する。

【0029】このように本実施例では、面板110-基板14間の距離は1~3mm程度と長いので、メタルバック122に印加する加速電圧を3~6KVと高電圧に出来る。したがって、上述のように、蛍光体114には陰極線管(CRT)用の蛍光体を使用できる。

【0030】図7は、このようにして製作した表示装置パネル100の駆動回路への結線図である。図7では簡単のために、3×3画素の場合を示している。下部電極13は下部電極駆動回路41へ結線し、上部電極バスライン32は上部電極駆動回路42に結線する。メタルバック122は加速電極駆動回路43へ結線する。n番目の下部電極13Knとm番目の上部電極バスライン32Cmの交点のドットを(n, m)で表すことにする。

【0031】図8は、各駆動回路の発生電圧の波形を示す。メタルバック122には3~6KV程度の電圧を常時印加する。

【0032】時刻 t_0 ではいずれの電極も電圧ゼロであるので電子は放出されず、したがって、蛍光体114は発光しない。

【0033】時刻 t_1 において、下部電極13K1には $-V_1$ なる電圧の走査パルス401を、上部電極バスライン32C1、C2には $+V_2$ なる電圧のデータパルス402を印加する。ドット(1, 1)、(1, 2)の下部電極13と上部電極との間には (V_1+V_2) なる電圧が印加されるので、 (V_1+V_2) を電子放出開始電圧以上に設定しておけば、この2つのドットの薄膜電子源からは電子が真空10中に放出される。放出された電子はメタルバック144に印加された電圧により加速された後、蛍光体114にぶつかり、蛍光体114を発光させる。

【0034】時刻 t_2 において、下部電極13K2に $-V_1$ なる電圧を印加し、上部電極バスライン32C1に V_2 なる電圧を印加すると、同様にドット(2, 1)が点灯する。このようにして、図8の電圧波形を印加すると、図7の斜線を施したドットのみが点灯する。

【0035】このようにして、上部電極バスライン32に印加する信号を変えることにより所望の画像または情報を表示することができる。ここで、データパルス402の電圧振幅 V_2 の値を、上部電極の表面材料の仕事関数(この場合Auの仕事関数4.8 eV)よりも小さく設定する。本実施例では、 $V_2=3.5V$ 、 $V_1=4V$ とした。

【0036】輝度に階調のある画像を表示するには、データパルス402のパルス幅を階調に合わせて調整すればよい。

【0037】データパルス402の電圧振幅 V_2 を階調に合わせて変調しても良い。この場合、画像表示装置に入力される映像信号が、例えば8ビット(256階調)など明確に上限値がある信号の場合には、この上限値に対応する V_2 の値を、上部電極表面の仕事関数 ϕ よりも小さく設定すればよい。

【0038】あるいは、映像信号に応じて時間変化する

V_2 の電圧値のうち、仕事関数 ϕ よりも小さいものの時間割合が8割以上であっても良い。この場合、コントラスト低下に寄与する V_2 の成分は高々2割であるから、従来法に比べて $1/0.2=5$ 倍のコントラスト向上効果がある。

【0039】以上の実施例では、下部電極に金属を用いたMIM電子源を用いた例を述べてきたが、下部電極に半導体を用いたMIS(Metal-Insulator-Semiconductor)型電子源を用いても本発明の効果が得られることは言うまでもない。

【0040】本発明による別の実施例として、電子線露光装置の例を述べる。先の実施例に述べた構造、方法で、薄膜電子源をマトリクス状に配置した基板を製作する。この薄膜電子源マトリクスを電子源として、ウエハ・ステージ、縮小光学系、および必要に応じて偏向系とともに真空装置内に組み込むことにより電子線露光装置の基本構成が出来る。その詳細については、特開平6-236840に記されている。この場合も、薄膜電子源マトリクスに印加する走査パルスの電圧と、データパルスの電圧を、いずれも薄膜電子源表面の仕事関数 ϕ 以下に設定することにより、非選択の電子源からの放出電流はゼロに出来る。これにより、誤露光を防止できる。

【0041】

【発明の効果】本発明によれば、多数の走査線数を有して、かつコントラストが高い、マトリクス型電子線励起型表示装置が実現できる。また、電子線応用機器に適用すると、放出電流量を正確に制御できるようになる。

【図面の簡単な説明】

【図1】薄膜型電子源のI(V)-V特性の一例を示す図である。

【図2】薄膜型電子源の電子エネルギー図である。

【図3】本発明による表示装置の第1の実施例の断面図である。

【図4】本発明による表示装置の第1の実施例における蛍光面位置を示す平面図である。

【図5】本発明による表示装置の第1の実施例における基板の平面図である。

【図6】本発明による表示装置の第1の実施例における基板作成プロセス図である。

【図7】本発明による表示装置の駆動回路への結線図の1例である。

【図8】本発明による表示装置の駆動電圧波形図の1例である。

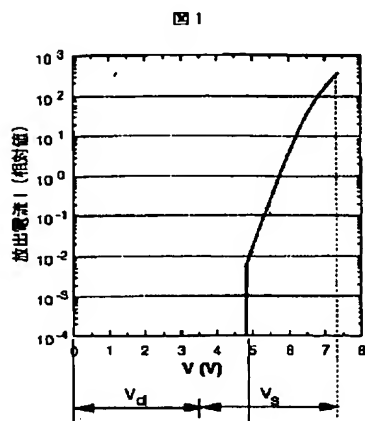
【符号の説明】

10・・・真空、11・・・上部電極、12・・・絶縁層、13・・・下部電極、14・・・基板、15・・・保護層、16・・・電極端子、16・・・上部電極界面層膜、17・・・上部電極中間層膜、18・・・上部電極表面層膜、20・・・駆動電圧、32・・・上部電極バスライン、60・・・スペーサ、110・・・面

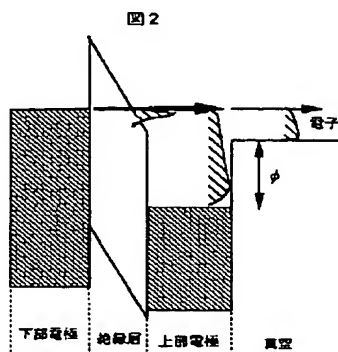
板、114・・・蛍光体、120・・・ブラックマトリクス、122・・・メタルバック、41・・・下部電極駆動回路、42・・・上部電極駆動回路、43・・・加

速電極駆動回路、401・・・走査パルス、402・・・データパルス、501・・・レジスト、502・・・レジスト、503・・・レジスト。

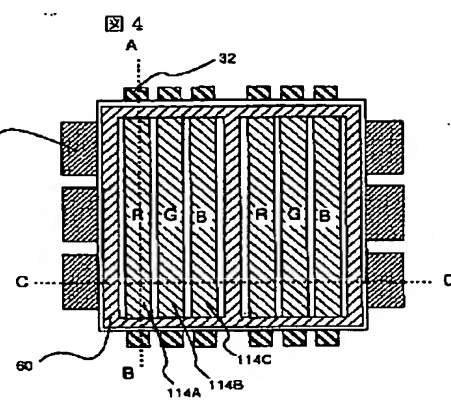
【図1】



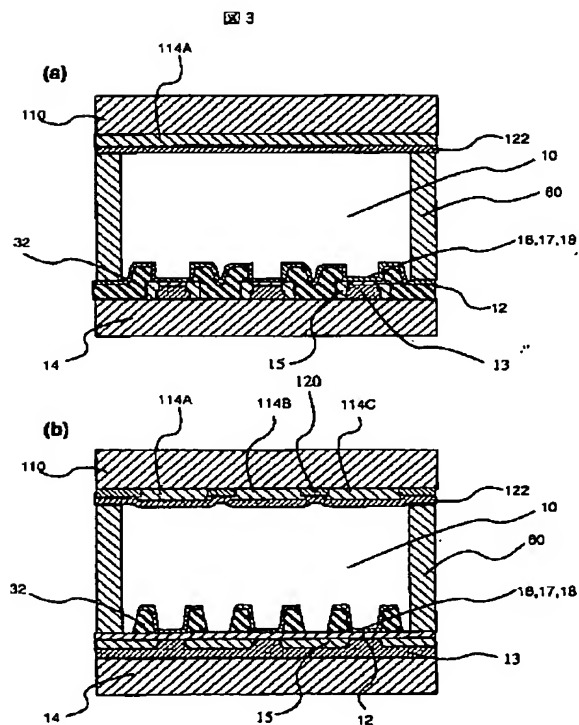
【図2】



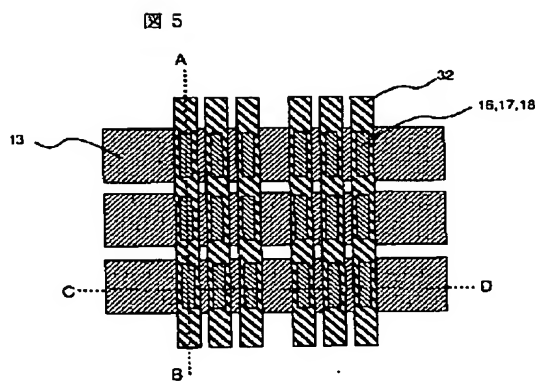
【図4】



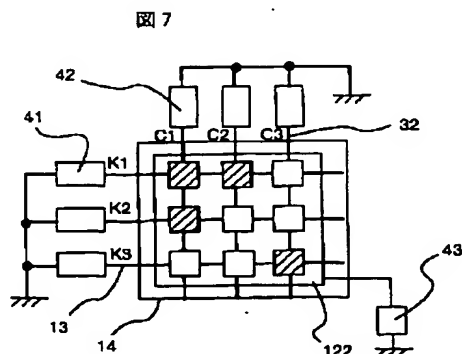
【図3】



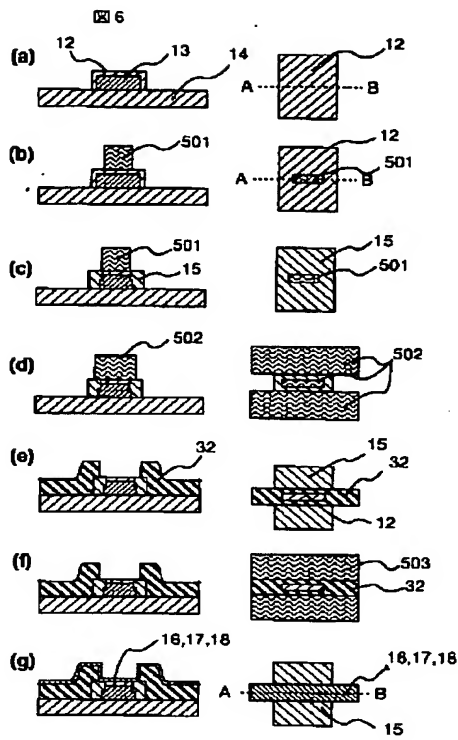
【図5】



【図7】



【図 6】



【図 8】

